

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-027505

(43)Date of publication of application : 28.01.1997

(51)Int.Cl.

H01L 21/338

H01L 29/812

(21)Application number : 07-177503

(71)Applicant : NIPPONDENSO CO LTD  
RES DEV CORP OF JAPAN

(22)Date of filing : 13.07.1995

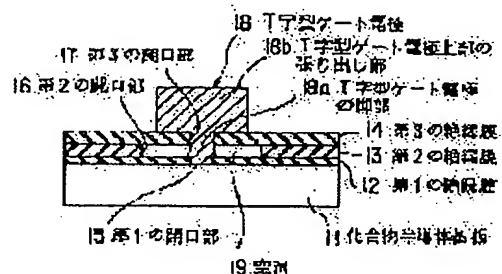
(72)Inventor : HIROSE FUSAO  
YAMADA HITOSHI  
UENO YOSHIKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce parasitic capacitance of gate electrode and to reduce increase of gate length of a semiconductor device such as a field effect transistor or a HEMT and the method therefor.

SOLUTION: A first insulating film 12, a second insulating film 13 and a third insulating film 14 are formed in order on the surface of a compound semiconductor substrate 11. After that first, second and third openings 15, 16 and 17 are respectively made through the first, second and third insulating films 12, 13 and 14. A T-type gate electrode 18 is formed on the third insulating film and contacts with the surface of the compound semiconductor substrate 11 through each opening 15 to 17 of the insulating film. The T-type gate electrode is constituted of a leg part 18a of a T-type gate and an overhang part 18b of an upper part of the T-type gate. A cavity 19 is formed between the second insulating film 13 and the leg part 18a of the T-type gate.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-27505

(43) 公開日 平成9年(1997)1月28日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338 29/812		7376-4M	H 0 1 L 29/80	F

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願平7-177503

(22) 出願日 平成7年(1995)7月13日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(71) 出願人 390014535

新技術事業団

埼玉県川口市本町4丁目1番8号

(72) 発明者 廣瀬 富佐雄

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(72) 発明者 山田 仁

愛知県刈谷市昭和町1丁目1番地 日本電  
装株式会社内

(74) 代理人 弁理士 鈴江 武彦

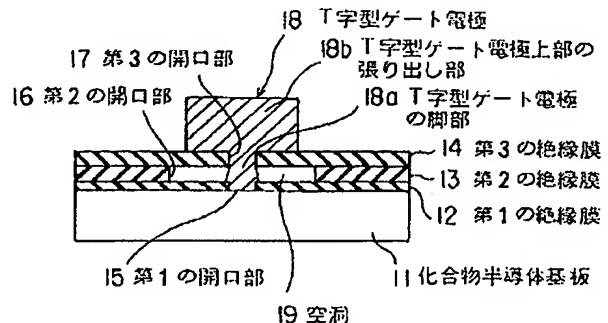
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 この発明は、電界効果トランジスタやHEMT等の半導体装置及びその製造方法に於いて、ゲート電極の寄生容量を低減し、且つゲート長の広がりを見減することを特徴とする。

【解決手段】 化合物半導体基板11表面上に、第1の絶縁膜12、第2の絶縁膜13及び第3の絶縁膜14が順次積層される。次いで、第1、第2、第3の絶縁膜12、13、14にそれぞれ第1、第2、第3の開口部15、16、17が形成される。そして、各絶縁膜の開口部15～17を通して化合物半導体基板11の表面に接すると共に、第3の絶縁膜14の上に、T字型ゲート電極18が形成される。このT字型ゲート電極18は、T字型ゲート電極の脚部18aとT字型ゲート電極上部の張り出し部18bとから構成されており、第2の絶縁膜13とT字型ゲート電極の脚部18aの間には空洞19が形成されている。



## 1.

## 【特許請求の範囲】

【請求項 1】 半導体表面上に形成されて開口部を有する絶縁膜と、上記開口部に脚部を配置すると共に上記絶縁膜上に張り出し部分が形成された T 字型ゲート電極と、この T 字型ゲート電極の上記脚部と上記絶縁膜との間に形成された空洞部とから成る半導体装置に於いて、上記絶縁膜は少なくとも 3 層の多層絶縁膜で構成され、該多層絶縁膜のうち少なくとも最上層と最下層の絶縁膜の開口部を、該最上層と最下層の絶縁膜の間に位置する中間絶縁膜の開口部より小さく形成し、上記最下層の絶縁膜の開口部の幅を規定することにより上記 T 字型ゲート電極の脚部の幅を規定することを特徴とする半導体装置。

【請求項 2】 上記中間絶縁膜のうち少なくとも 1 層の開口部が上記 T 字型ゲート電極の張り出し部分の幅よりも広く形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 上記絶縁膜は少なくとも 5 層の多層絶縁膜で構成され、該多層絶縁膜のうち最上層の絶縁膜と最下層の絶縁膜を除いた中間絶縁膜のうち少なくとも 1 層の開口部の幅が上記最下層の絶縁膜の開口部の幅と等しく形成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 半導体表面上に少なくとも 3 層の多層絶縁膜を形成する工程と、上記多層絶縁膜に開口部を形成する工程と、上記開口部を通して上記半導体表面に接する脚部と上記多層絶縁膜の最上層の上に張り出し部を有する T 字型ゲート電極を形成する工程とを少なくとも有する半導体装置の製造方法に於いて、

上記 T 字型ゲート電極を形成する工程は、上記 T 字型ゲート電極の上記脚部と上記多層絶縁膜との間に空洞部を形成すると共に、上記多層絶縁膜の開口部のうち、少なくとも最上層と最下層の絶縁膜の開口部を該最上層と最下層の絶縁膜の間に位置する中間絶縁膜の開口部より小さく形成し、上記最下層の絶縁膜の開口部の幅を規定して上記 T 字型ゲート電極の脚部の幅を規定することを特徴とする半導体装置の製造方法。

【請求項 5】 上記中間絶縁膜のうち少なくとも 1 層の開口部は、上記 T 字型ゲート電極の張り出し部分の幅よりも広く形成することを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 上記多層絶縁膜は少なくとも 5 層で構成され、該多層絶縁膜の最上層の絶縁膜と最下層の絶縁膜を除いた中間絶縁膜のうち、少なくとも 1 層の開口部の幅が上記最下層の絶縁膜の開口部の幅と等しく形成されることを特徴とする請求項 4 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は半導体装置及びそ

## 2.

の製造方法に関するもので、特に金属半導体電界効果トランジスタ (MESFET: Metal Semiconductor Field-effect Transistor) や高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor) 等の T 字型ゲート電極を有する電界効果型半導体装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】 従来より、化合物半導体を用いた電界効果トランジスタでは、高周波特性向上のためにゲート長の短縮が行われている。このゲート長の短縮に伴うゲート抵抗の増加を防ぐために、ゲート電極上部を幅広にした T 字型形状のゲート電極が広く用いられている。

【0003】 図 5 は、従来の T 字型ゲート電極を用いた電界効果型トランジスタのゲート電極近傍部分の一例を示した断面図である。この電界効果トランジスタは、化合物半導体 1 上に絶縁膜 2 が積層され、その絶縁膜 2 に設けられた開口部 3 を通って化合物半導体 1 の表面に接する T 字型ゲート電極 4 が形成された構成となっている。このような構成の電界効果型トランジスタでは、形状的に直立には不安定な T 字型ゲート電極 4 を、絶縁膜 3 で支持することができて、製造や特性を安定させることができる。

【0004】 しかしながら、図 5 に示される構成では、T 字型ゲート電極 4 の上部の張り出し部分の下が絶縁膜 2 で満たされている。そのため、寄生容量が発生し、絶縁膜が存在しない場合に比べて、トランジスタの高周波特性、特に利得が低下するという課題があった。

【0005】 このような課題の解決策として、図 6 に示されるような構成の半導体装置が開発されている。すなわち、化合物半導体 5 上に、下層絶縁膜 6 と上層絶縁膜 7 の 2 つの絶縁膜層が設けられ、下層絶縁膜 6 の開口部 8 が上層絶縁膜 7 の開口部 9 より広く形成されている。そして、これら開口部 9、8 からスパッタ及びリフトオフ法等を組み合わせることで T 字型ゲート電極 10 が形成される。これにより、T 字型ゲート電極 10 の脚部の両側には、空洞が形成されるようになっている。

【0006】 このような構成の半導体装置では、上層絶縁膜 8 により T 字型ゲート電極 10 を支持しながら、該 T 字型ゲート電極 10 の脚部の両側に空洞が設けられることにより、寄生容量が低減されている。

【0007】 このように、T 字型ゲート電極の脚部の両側に空洞を設けた半導体装置またはトランジスタは、例えば特開平 2 - 2 8 5 6 4 3 号公報、特開平 4 - 1 1 7 4 1 号公報、特開平 4 - 3 4 0 2 3 1 号公報、特開平 6 - 8 4 9 5 6 号公報及び特開平 6 - 1 2 0 2 5 3 号公報等に記載されている。

## 【0008】

【発明が解決しようとする課題】 図 6 に示されるような構成の半導体装置に於いては、寄生容量の低減は可能であるが、T 字型ゲートの電極の脚部は上層絶縁膜 7 の開

## 3

口部 9 で制限されるだけである。したがって、ゲート電極を形成する際に、T 字型ゲート電極 10 の脚部で化合物半導体 5 の表面と接する部分の幅が広がってしまい、ゲート長さの短縮が不完全になるという課題を有していた。

【0009】また、下層絶縁膜 6 開口部 8 を広くして形成した空洞に露出している化合物半導体 5 の層表面が、空洞の雰囲気や空洞形成時の不純物に影響されやすくなり、電気的特性に悪影響を及ぼすという課題も有していた。

【0010】この発明は上記課題を解決するためになされたものであり、ゲート長を短縮し、T 字型ゲート電極の直立を安定させることを可能にすると共に、寄生容量を低減することのできる半導体装置及びその製造方法を提供することを目的とする。

## 【0011】

【課題を解決するための手段】すなわちこの発明は、半導体表面上に形成されて開口部を有する絶縁膜と、上記開口部に脚部を配置すると共に上記絶縁膜上に張り出し部分が形成された T 字型ゲート電極と、この T 字型ゲート電極の上記脚部と上記絶縁膜との間に形成された空洞部とから成る半導体装置に於いて、上記絶縁膜は少なくとも 3 層の多層絶縁膜で構成され、該多層絶縁膜のうち少なくとも最上層と最下層の絶縁膜の開口部を、該最上層と最下層の絶縁膜の間に位置する中間絶縁膜の開口部より小さく形成し、上記最下層の絶縁膜の開口部の幅を規定することにより上記 T 字型ゲート電極の脚部の幅を規定することを特徴とする。

【0012】またこの発明は、半導体表面上に少なくとも 3 層の多層絶縁膜を形成する工程と、上記多層絶縁膜に開口部を形成する工程と、上記開口部を通して上記半導体表面に接する脚部と上記多層絶縁膜の最上層の上に張り出し部を有する T 字型ゲート電極を形成する工程とを少なくとも有する半導体装置の製造方法に於いて、上記 T 字型ゲート電極を形成する工程は、上記 T 字型ゲート電極の上記脚部と上記多層絶縁膜との間に空洞部を形成すると共に、上記多層絶縁膜の開口部のうち、少なくとも最上層と最下層の絶縁膜の開口部を該最上層と最下層の絶縁膜の間に位置する中間絶縁膜の開口部より小さく形成し、上記最下層の絶縁膜の開口部の幅を規定して上記 T 字型ゲート電極の脚部の幅を規定することを特徴とする。

【0013】更に、上記構成に加えて最上層の絶縁膜と最下層の絶縁膜を除いた中間に位置する絶縁膜のうち少なくとも 1 層の開口部が T 字型ゲート電極の張り出し部分の幅よりも広く形成すること、或いは多層絶縁膜を 5 層以上とし、最上層の絶縁膜と最下層の絶縁膜を除いた中間に位置する絶縁膜のうち少なくとも 1 層の開口部の幅を最下層の絶縁膜の開口部の幅と等しくすることを特徴とする。

## 4

【0014】図 1 及び図 2 は、この発明の半導体装置の構成原理図であり、それぞれ電界効果トランジスタのゲート電極近傍の断面を示したものである。図 1 は多層絶縁膜を 3 層とした場合の構成を示したものであり、化合物半導体基板 11 表面上に、第 1 の絶縁膜 12、第 2 の絶縁膜 13 及び第 3 の絶縁膜 14 が順次積層され、これら第 1、第 2、第 3 の絶縁膜 12、13、14 にそれぞれ第 1、第 2、第 3 の開口部 15、16、17 が形成される。そして、各絶縁膜の開口部 15～17 を通って化合物半導体基板 11 の表面に接すると共に、第 3 の絶縁膜 14 の上に T 字型ゲート電極 18 が形成される。この T 字型ゲート電極 18 は、上記開口部 15～17 中に構成される T 字型ゲート電極の脚部 18a と、第 3 の絶縁膜 14 上に形成された T 字型ゲート電極上部の張り出し部 18b とから構成されている。また、第 2 の絶縁膜 13 と T 字型ゲート電極の脚部 18a の間には、空気若しくは真空の空洞 19 が形成されている。

【0015】そして、最下層である第 1 の絶縁膜 12 の第 1 の開口部 15 と、最上層である第 3 の絶縁膜 14 の第 3 の開口部 17 c の幅を所望のゲート長、すなわち T 字型ゲート電極の脚部 18a の幅とし、第 2 の絶縁膜 13 の第 2 の開口部 16 の幅を T 字型ゲート電極上部の張り出し部 18b の幅よりも広くとることを特徴としている。

【0016】この構成によれば、第 1 の開口部 15 と第 3 の開口部 17 の幅が第 2 の開口部 16 の幅よりも小さいので、T 字型ゲート電極上部の張り出し部 18b の下に T 字型ゲート電極の脚部 18a との絶縁膜に囲まれた空洞 19 が形成される。この空洞 19 は空気で満たされるか、若しくは真空となっているため、T 字型ゲート電極上部の張り出し部 18b の下が絶縁膜で満たされているよりも寄生容量を低減することができる。更に、第 1 の開口部 15 によって T 字型ゲート電極の脚部 18a が化合物半導体基板 11 表面に接する幅、すなわちゲート長が規定されるので、ゲート長の広がりやばらつきを低減することができる。

【0017】また、この発明によれば、形成された空洞 19 に露出される化合物半導体基板 11 表面は皆無であるため、空洞 19 の雰囲気や空洞形成時に化合物半導体基板 11 表面に酸化等の悪影響を及ぼすことがなく、安定した電気的特性を得ることができる。

【0018】図 2 は、多層絶縁膜を 5 層とした場合の構成を示したものであり、化合物半導体基板 21 表面上に第 1 の絶縁膜 22、第 2 の絶縁膜 23、第 3 の絶縁膜 24、第 4 の絶縁膜 25 及び第 5 の絶縁膜 26 が順次積層され、これらの各絶縁膜 21、22、23、24、25、26 に第 1、第 2、第 3、第 4、第 5 の開口部 27、28、29、30、31 が形成される。そして、各絶縁膜の開口部 27～31 を通って化合物半導体基板 21 の表面に接すると共に、第 5 の絶縁膜 31 の上に張り

5

出し部を有するようなT字型ゲート電極32が形成される。そして、第2の絶縁膜22とT字型ゲート電極の脚部32aの間、及び第4の絶縁膜24とT字型ゲート電極の脚部32aの間には、それぞれ空気若しくは真空の空洞33及び34が形成されている。

【0019】この際、5層の絶縁膜のうち最下層である第1の絶縁膜22の第1の開口部27aと最上層である第5の絶縁膜31の第5の開口部26と、第5層の絶縁膜のうち中間に位置される第3の絶縁膜24の第3の開口部29の幅を所望のゲート長、すなわちT字型ゲート電極の脚部32aの幅とし、第2の開口部28と第4の開口部30の幅をT字型ゲート電極上部の張り出し部32bの幅よりも広く構成することを特徴としている。

【0020】この構成によれば、第1の開口部27、第3の開口部29及び第5の開口部31の幅が第2の開口部28と第4の開口部30の幅よりも小さいので、T字型ゲート電極上部の張り出し部32bの下にT字型ゲート電極の脚部32aと絶縁膜に囲まれた空洞33、34が形成される。上述したように空洞33、34は空気で満たされるか、若しくは真空となっているため、T字型ゲート電極上部の張り出し部32bの下が絶縁膜で満たされているよりも寄生容量を低減することができる。更に、T字型ゲート電極の脚部32aが化合物半導体基板21表面に接する幅、すなわちゲート長が第1の開口部27に規定されてゲート長の広がりやばらつきを低減することができるだけでなく、T字型ゲート電極の脚部32aの幅が、多層絶縁膜の中間層である第3の絶縁膜24の第3の開口部29によって制限規定されるので、第1の絶縁膜22の上にある電極部分が少なくなり、より寄生容量を低減することができる。これにより、安定して高速動作に優れた電界トランジスタを提供することができる。

【0021】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図3は、この発明の第1の実施の形態に於ける電界効果型トランジスタの製造工程を断面図で示したもので、ゲート近傍のみが示されている。

【0022】図3(a)に於いて、化合物半導体基板11は、InP基板上にi-In<sub>0.52</sub>Al<sub>0.48</sub>As層が100nm、i-In<sub>0.80</sub>Ga<sub>0.20</sub>As層が16nm、i-In<sub>0.53</sub>Ga<sub>0.47</sub>As層が4nm、i-In<sub>0.52</sub>Al<sub>0.48</sub>As層が5nm、n-In<sub>0.52</sub>Al<sub>0.48</sub>As層が10nm、i-In<sub>0.52</sub>Al<sub>0.48</sub>As層が10nm、順次積層された構造となっている。そして、この積層構造の化合物半導体基板11表面上には、プラズマCVD（気相成長）を用いて第1の絶縁膜（SiN<sub>x</sub>膜）12が15nm、第2の絶縁膜（SiO<sub>2</sub>膜）13が50nm、第3の絶縁膜（SiN<sub>x</sub>膜）14が35nm形成される。

【0023】次に、図3(b)に示されるように、第3

6

の絶縁膜14表面上にレジスト35が塗布され、電子線（EB）露光法が用いられてパターンニングが行われる。そして、レジスト35をマスクにして、第1の絶縁膜12、第2の絶縁膜13及び第3の絶縁膜14にRIE（Reactive Ion Etching）が用いられた異方性ドライエッチングで開口部36が形成される。ここで、開口部36の幅がゲート長に相当する。

【0024】そして、図3(c)に示されるように、第2の絶縁膜（SiO<sub>2</sub>膜）13が4%硝酸水溶液でサイドエッチングされる。この際、第1及び第3の絶縁膜12及び14の第1及び第3の開口部15及び17が0.2μmとされ、第2の絶縁膜13の第2の開口部16は0.9μmとされて、上記第1及び第3の開口部15及び17より大きくされる。

【0025】その後、図3(d)に示されるように、リフトオフ法が用いられてT字型ゲート電極18が形成される。このT字型ゲート電極18は、Ti/Pt/Auが蒸着法で積層されて構成されたもので、T字型ゲート電極上部の張り出し部18bの幅は0.8μmとしている。また、T字型ゲート電極の脚部18aの幅は、第3の開口部17によって制限されるので、電極の脚部18aの両側に空洞19が形成される。

【0026】このようにして得られた電界効果トランジスタでは、T字型ゲート電極上部の張り出し部18bの下は、第2の絶縁膜13の一部を除去して空洞19が形成されており、空気の誘電率が絶縁膜の誘電率よりも小さいことから、絶縁膜で満たされているよりも寄生容量をおよそ25%に低減することができる。

【0027】この製造方法によれば、T字型ゲート電極18が倒れることなく形成でき、該ゲート電極上部の張り出し部18bを脚部の幅や高さに関係なく大きくすることができるので、ゲート抵抗を小さくすることができる。また、ゲート近傍の保護にも問題がない。

【0028】更に、T字型ゲート電極の脚部18aが化合物半導体基板11表面に接する部分の幅、すなわちゲート長が、第1の絶縁膜12の第1の開口部15によって規定されるので、ゲート長の広がりやばらつきを低減することができる。

【0029】尚、上述した第1の実施の形態に於いては、絶縁膜の形成にプラズマCVDを用いたが、絶縁膜のエッチングレートの違いが重要であるので、絶縁膜を形成する手段はこれだけに限られるものではない。

【0030】また、第1の実施の形態では、予めゲートコンタクト層を露出させておいて製作する方法について述べたが、ゲートコンタクト層の上にキャップ層を残しておき、その表面上に絶縁膜を形成し、ドライエッチングで開口部36が形成された後にゲートコンタクト層を露出させるリセスエッチングを行い、その後第2の絶縁膜の第2の開口部を大きくする方法も適用可能である。

【0031】次に、この発明の第2の実施の形態につい

## 7

て説明する。図 4 は、この発明の第 2 の実施の形態に於ける電界効果型トランジスタの製造工程を断面図で示したものであり、ゲート近傍のみが示されている。

【0032】 先ず、図 4 (a) に於いて、化合物半導体基板 2 1 表面上に、プラズマ CVD が用いられて、第 1 の絶縁膜 (SiN<sub>x</sub> 膜) 2 2 が 10 nm、第 2 の絶縁膜 (SiO<sub>2</sub> 膜) 2 3 が 25 nm、第 3 の絶縁膜 (SiN<sub>x</sub> 膜) 2 4 が 10 nm、第 4 の絶縁膜 (SiO<sub>2</sub> 膜) 2 5 が 25 nm、そして第 5 の絶縁膜 (SiN<sub>x</sub> 膜) 2 6 が 30 nm 形成される。尚、上記化合物半導体基板 2 1 は、上述した第 1 の実施の形態の化合物半導体基板 1 1 と同じ構成とする。

【0033】 次に、図 4 (b) に示されるように、第 5 の絶縁膜 2 6 表面上にレジスト 3 8 が塗布されて、EB 露光法によりパターンニングが行われる。そして、上記レジスト 3 8 がマスクにされて、第 1 の絶縁膜 2 2、第 2 の絶縁膜 2 3、第 3 の絶縁膜 2 4、第 4 の絶縁膜 2 5 及び第 5 の絶縁膜 2 6 に、RIE を用いた異方性ドライエッチングで開口部 3 9 が形成される。この開口部 3 9 の幅が、ゲート長に相当する。

【0034】 そして、図 4 (c) に示されるように、第 2 及び第 4 の絶縁膜 (SiO<sub>2</sub> 膜) 2 8 及び 3 0 が、4 % 非酸水溶液でサイドエッチングされる。この際、第 1、第 3、第 5 の絶縁膜 2 2、2 4、2 6 の第 1、第 3、第 5 の開口部 2 7、2 9、3 1 が 0.2 μm とされ、第 2 及び第 4 の絶縁膜 2 3 及び 2 5 の第 2 及び第 4 の開口部 2 6 及び 2 8 が 0.9 μm と大きくされる。

【0035】 その後、図 4 (d) に示されるように、リフトオフ法によって、T 字型ゲート電極 3 2 が形成される。この T 字型ゲート電極 3 2 は、上述した第 1 の実施の形態と同様に、Ti/Pt/Au が蒸着法で積層されて構成されたもので、T 字型ゲート電極上部の張り出し部 3 2 b の幅は 0.8 μm とした。また、T 字型ゲート電極の脚部 3 2 a の幅は、第 5 の開口部 3 1 によって規定されるので、電極の脚部 3 2 a の両側に空洞部 3 3 及び 3 4 が形成される。

【0036】 このようにして得られた電界効果型トランジスタでは、T 字型ゲート電極上部の張り出し部 3 2 b の下は、第 2 及び第 4 の絶縁膜 2 3 及び 2 5 の一部を除去して空洞を形成しているため、絶縁膜で満たされているよりも寄生容量を低減することができる。

【0037】 更に、この製造方法によれば、T 字型ゲート電極 3 2 が倒れることなく形成でき、該ゲート電極上部の張り出し部 3 2 b を脚部の幅や高さに関係なく大きくできるので、ゲート抵抗を小さくすることができる。

## 8

また、ゲート近傍の保護にも問題がない。

【0038】 そして、T 字型ゲート電極の脚部 3 2 a が化合物半導体基板 2 1 表面に接する部分の幅、すなわちゲート長が、第 1 の絶縁膜 2 2 の第 1 の開口部 2 7 に規定されているので、ゲート長の広がりやばらつきを低減することができる。

【0039】 更に、第 3 の絶縁膜 2 4 の第 3 の開口部 2 9 により、T 字型ゲート電極の脚部 3 2 a の幅が制限されるため、第 1 の絶縁膜 2 2 の上に載る電極部分が減少し、より寄生容量を低減することができる。

【0040】

【発明の効果】 以上のようにこの発明によれば、ゲート長を短縮し、T 字型ゲート電極の直立を安定させることを可能にすると共に、寄生容量を低減することのできる半導体装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】 この発明の半導体装置の構成原理図で、電界効果型トランジスタのゲート電極近傍の断面を示したもので、多層絶縁膜を 3 層とした場合の構成図である。

【図 2】 この発明の半導体装置の構成原理図で、電界効果型トランジスタのゲート電極近傍の断面を示したもので、多層絶縁膜を 5 層とした場合の構成図である。

【図 3】 この発明の第 1 の実施の形態に於ける電界効果型トランジスタの製造工程を示したもので、ゲート近傍のみを示す断面図である。

【図 4】 この発明の第 2 の実施の形態に於ける電界効果型トランジスタの製造工程を示したもので、ゲート近傍のみを示す断面図である。

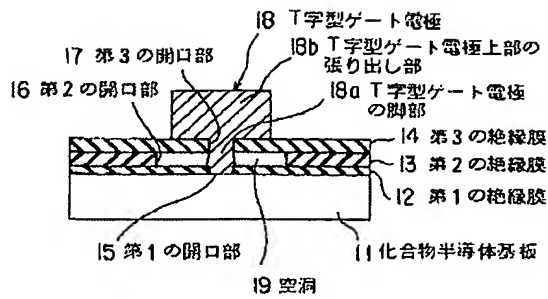
【図 5】 従来の T 字型ゲート電極を用いた電界効果型トランジスタのゲート電極近傍部分の一例を示した断面図である。

【図 6】 従来の T 字型ゲート電極を用いた電界効果型トランジスタのゲート電極近傍部分の他の例を示した断面図である。

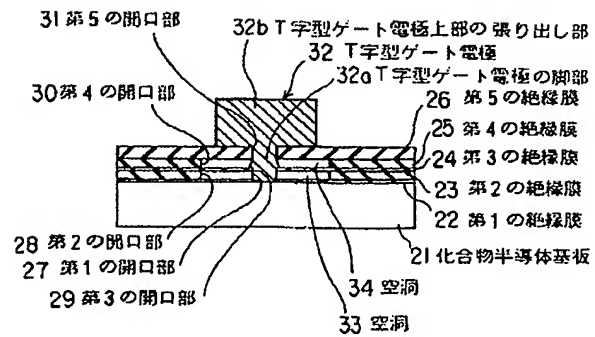
【符号の説明】

1 1、2 1…化合物半導体基板、1 2、2 2…第 1 の絶縁膜、1 3、2 3…第 2 の絶縁膜、1 4、2 4…第 3 の絶縁膜、2 5…第 4 の絶縁膜、2 6…第 5 の絶縁膜、1 5、2 7…第 1 の開口部、1 6、2 8…第 2 の開口部、1 7、2 9…第 3 の開口部、3 0…第 4 の開口部、3 1…第 5 の開口部、1 8、3 2…T 字型ゲート電極、1 8 a、3 2 a…T 字型ゲート電極の脚部、1 8 b、3 2 b…T 字型ゲート電極上部の張り出し部、1 9、3 3、3 4…空洞、3 5、3 8…レジスト、3 6、3 9…開口部。

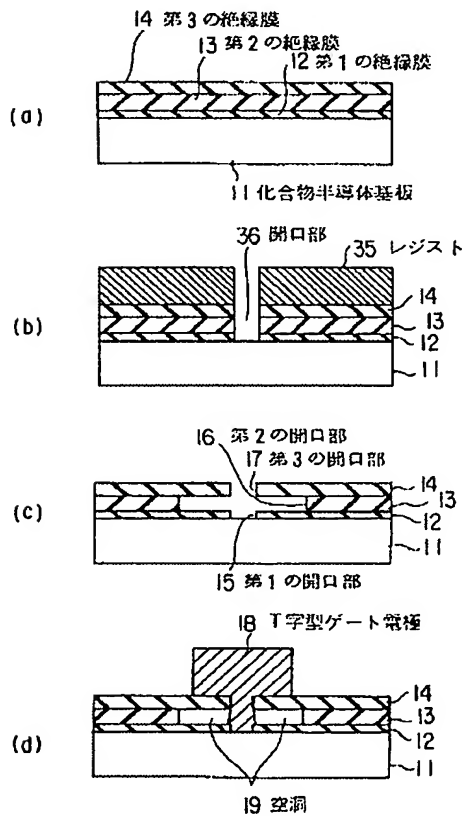
【図1】



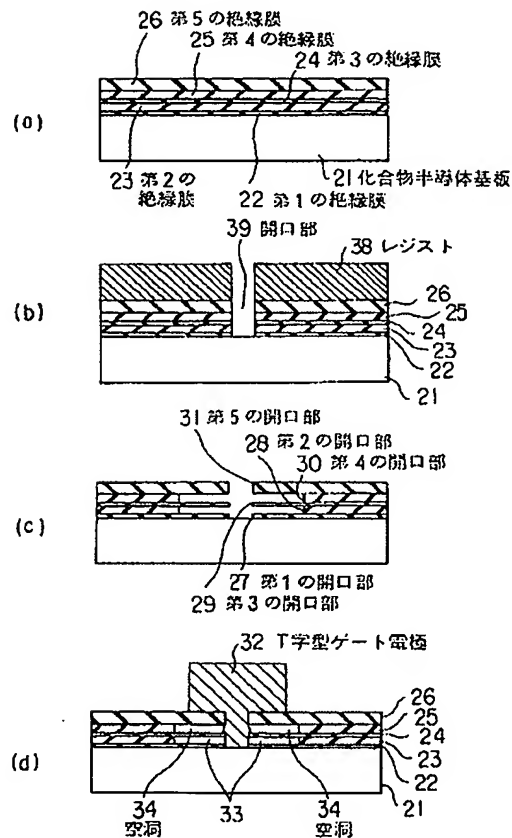
【図2】



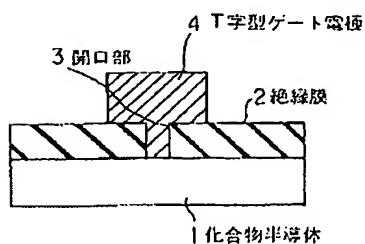
【図3】



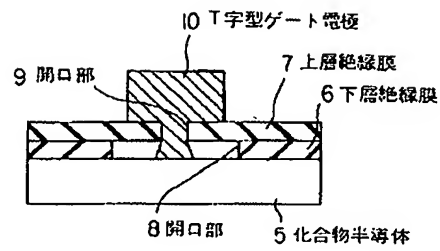
【図4】



【図5】



【図 6】



---

フロントページの続き

(72) 発明者 上野 祥樹  
愛知県刈谷市昭和町 1 丁目 1 番地 日本電  
装株式会社内